

CCL for IC package substrate with excellent coplanarity property

半導体パッケージ用プリント配線板材料

CS-3666X

リフロー時の反りを抑え、ドリル加工性も良好

利昌工業(株)化学技術研究所 Chemical Science R&D Laboratory

池田 剛
Tsuyoshi Ikeda久保朋子
Tomoko Kubo堀居 篤
Atsushi Horii寺田勇介
Yusuke Terada▲CS-3666X
パッケージ用プリント配線板材料

■ 半導体パッケージとは

パソコンや携帯電話などの機器には、CPU や

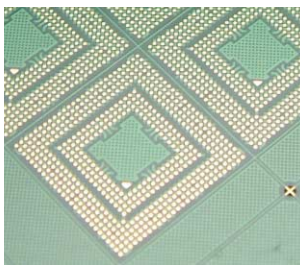
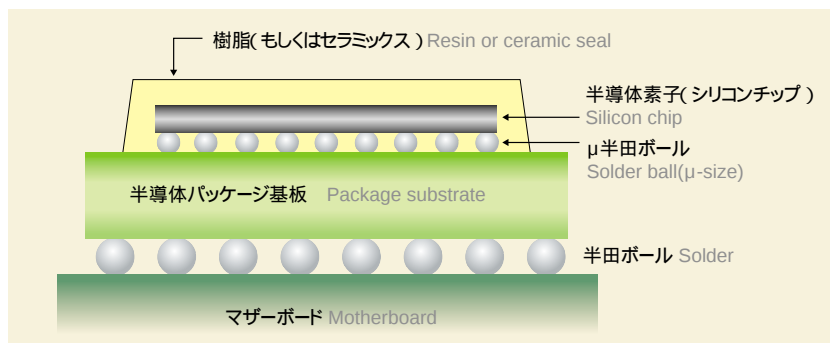
▲ Fig.1
半導体パッケージ基板のイメージ
薄型化にともない反りの低減が課題
となっておりますMPU、メモリーなど
コンピューターの中核
を担う部品が搭載
されており、ここに半導
体パッケージ基板が
使用されています。Fig.2は半導体パ
ッケージのイメー
ジです。半導体素

Fig.2 半導体パッケージのイメージ Image of semiconductor package



子(いわゆるシリコンチップ)は非常に繊細であり、目に見えないゴミや水分あるいは光が誤動作の原因となることもあるため、樹脂あるいはセラミックスで覆われています。

また、半導体素子とマザーボードをつなぐインターポザーの役目を担うパッケージ基板には、1×1cm程の範囲に直径0.1mm程度の穴が100個以上も開けられるなど、高度な加工が施されています。

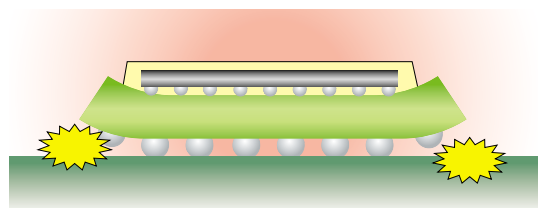
■ 高密度化が進む半導体パッケージ基板

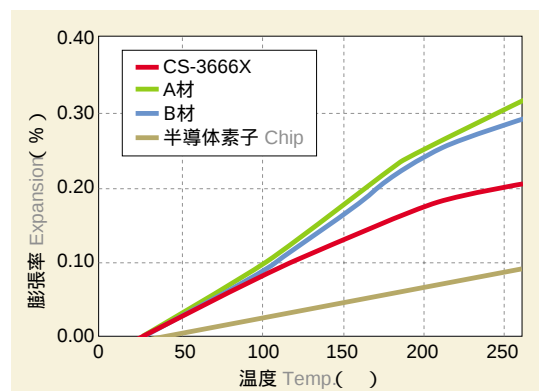
電子機器の軽薄短小化と高性能化に伴い、半導体パッケージ基板も薄型化、配線ピッチの狭小化や微細化が進むなど、年々高密度化が加速しています。また高密度実装のために、SiP (System in Package) やPoP(Package on Package)などの3次元パッケージも登場しています。

■ 反りの低減とドリル加工性の向上

パッケージ基板の薄型化が進むと、剛性が不足する基板材料では、リフロー時の高温で反りが発生しやすくなり、Fig.3のように、実装不良の発生

率が高くなります。このため、半導体パッケージ用のプリント配線板材料には、薄くても高温条件下で剛性を維持できる性能が求められています。また基板材料と半導体素子との熱膨張差も、反りの原因となるため、接続信頼性を高める重要なポイントです。

Fig.3 リフロー実装時の反りによる接続不良
Defective reflow soldering caused by warpage



ん。そのため、穴位置精度いわゆる穴加工の位置ズレは小さく、また内壁粗度も優れております。

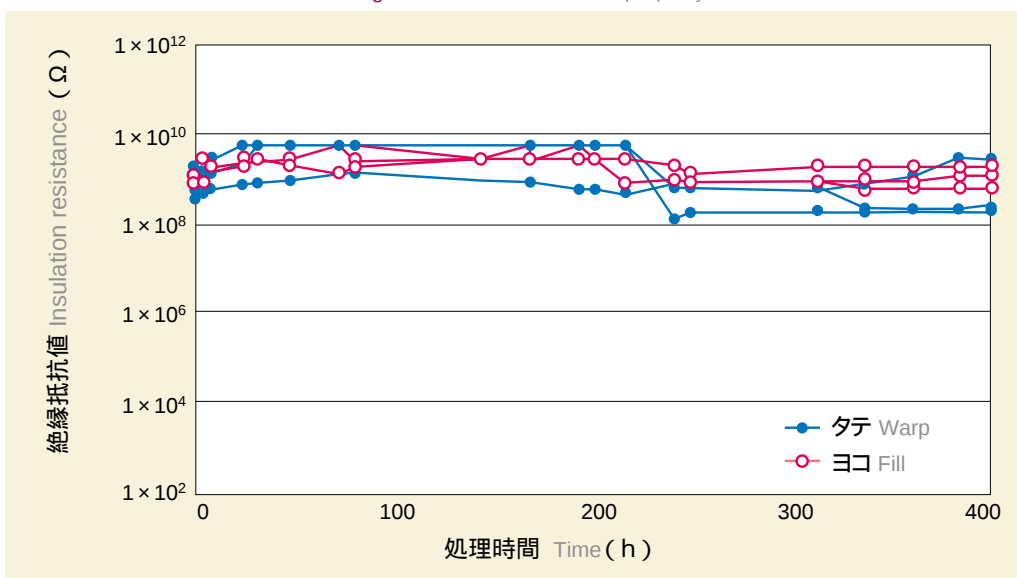
(Fig.8)

(4)狭ピッチ耐マイグレーション性(耐CAF性)

狭ピッチ化が進むにつれ、絶縁信頼性の心配もありますが、ドリル加工性に優れるCS-3666XはFig.9のような過酷な条件化での狭ピッチ耐CAF性に優れます。

試料厚み	Thickness	: 0.4t (12/12)
ドリル径	Bit dia.	: φ 0.25
壁間	Hole pitch	: 0.1mm
試験条件	Treatment	: HAST 130 85%RH 400h
印加電圧	Load	: DC 5.5V
評価パターン	Patern	: 15穴 × 4列 (ランドレス仕様) 15 × 4 holes(Landless)

Fig.9 耐CAF性 Anti-CAF property



試験方法はJIS C-6481に基づきます。A-受理常態、C-恒温恒湿処理、D-浸漬処理、E-加熱処理 数字は時間/温度/湿度をそれぞれ示します。
尚、厚さ並び異なるプリプレグの構成品は、特性に差異があります。

Test method : JIS C-6481 A-Accept state C-Constant Temp. & Hum. D-Dipping E-Heating Time/Temp./Hum.